

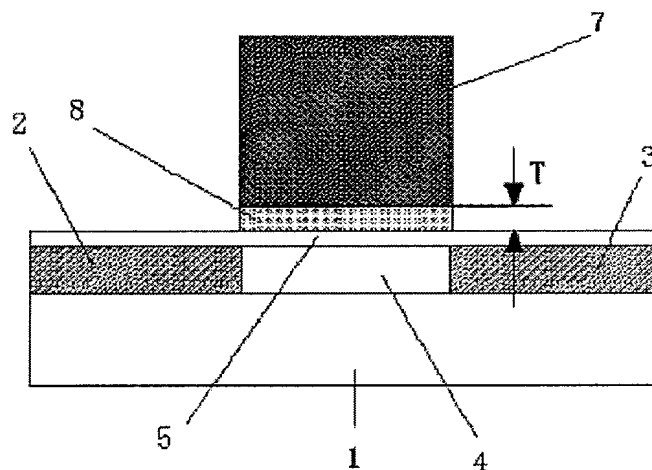
FIELD EFFECT TRANSISTOR

Patent number: JP2003209258
Publication date: 2003-07-25
Inventor: SEKIKAWA TOSHIHIRO; SAKAMOTO KUNIHIRO; SUZUKI HIDEKAZU
Applicant: NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL & TECHNOLOGY
Classification:
- **International:** H01L29/786; H01L21/28; H01L29/43
- **European:**
Application number: JP20020008442 20020117
Priority number(s):

Abstract of JP2003209258

PROBLEM TO BE SOLVED: To provide a field effect transistor structure capable of arbitrarily and accurately controlling a threshold voltage.

SOLUTION: The threshold voltage is controlled by constituting a gate electrode region constituted of a polysilicon, forming an opposite conductivity type completely depleted region to source and drain regions to be brought into contact with a gate oxide film in the gate region, and constituting a residual gate region brought into contact with the gate oxide film of the same conductivity type as those of the high concentration source and drain regions.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(11)特許出願公開番号
特開2003-209258
(P2003-209258A)

【特許請求の範囲】

【請求項1】 ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜及びゲート電極領域から成る絶縁ゲート電界効果トランジスタにおいて、該ゲート電極領域は、該ゲート絶縁膜に接し、かつ、一方の極性の空乏化した半導体から成る第1の領域と該第1の領域に接し、かつ、他方の極性の高不純物濃度半導体層から成る第2の領域とにより構成されていることを特徴とする電界効果トランジスタ。

【請求項2】 ソース領域、ドレイン領域、チャネル領域、ゲート絶縁膜及びゲート電極領域から成る絶縁ゲート電界効果トランジスタにおいて、該ゲート電極領域は、該ゲート絶縁膜に接する半導体から成る第1の領域と該第1の領域に接する金属から成る第2の領域とにより構成されていることを特徴とする電界効果トランジスタ。

【請求項3】 請求項1又は2に記載の電界効果トランジスタにおいて、上記第2の領域は、上記第1の領域を囲むように設けられ、かつ、ソース領域側及びドレイン領域側において一部ゲート絶縁膜と接触するように設けられていることを特徴とする電界効果トランジスタ。

【請求項4】 請求項1又は2に記載の電界効果トランジスタにおいて、上記第2の領域は、上記第1の領域を挟むように設けられ、かつ、ソース領域側およびドレイン領域側において一部ゲート絶縁膜と接触するように設けられていることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート電界効果トランジスタに関し、特に微細電界効果トランジスタのしきい値電圧制御に関する。

【0002】

【従来の技術】微小なチャネル長を有する絶縁ゲート電界効果トランジスタを実現するためには、いわゆる短チャネル効果（チャネル長を短くした場合のしきい値電圧の急激な低下）の防止が必須である。そのための一つの素子構造として、図4のような完全空乏型SOI電界効果トランジスタがある。図において、1は、絶縁層を上部に持つ基板、2、3、4は、それぞれ基板上の半導体結晶層の一部に形成されたソース領域、ドレイン領域およびチャネル領域であり、5は、ゲート絶縁膜、6は、ゲート電極である。L_gは、ゲート長を示し、チャネル長とはほぼ等価である。T_sは、半導体結晶層の厚さである。L_cを例えば50nm程度あるいはそれ以下である極微細電界効果トランジスタの場合は、T_sを10nm、あるいは、それ以下とし、チャネル領域が動作状態において完全空乏化するようにし、短チャネル効果の防止を図る。このような素子において問題となる重要な点は、しきい値電圧をいかに制御するかという点である。通常は、チャネル領域内の不純物濃度を制御して行われるが、半導体自体の耐

圧の制限で、その濃度の上限は、 10^{18} cm⁻³程度に制限されている。その場合、ゲート絶縁膜としてSiO₂を用い、その厚さを2nmとし、さらに、ゲート電極としてn型高濃度ポリシリコンを用いると、しきい値電圧は、約-0.2Vとなりデプレッション型となる。また、ゲート電極にp型高濃度ポリシリコンを用いると約+0.9Vとなる。従って、適当なしきい値電圧、例えば+0.2Vないし+0.3Vを実現することは出来ない。従来は、適当な仕事関数を有する金属を使用することで制御は出来るが、仕事関数値が飛び飛びのため細かな制御はできなかった。また、SiGeなどを用い、SiとGeの割合を適当に選択し、仕事関数を適当な値に選ぶことは出来るが、プロセスが複雑になるのが欠点であった。

【0003】

【発明が解決しようとする課題】本願発明の課題は、上記欠点を除去し、しきい値電圧を任意にかつ精度よく制御し得る電界効果トランジスタ構造を提供することである。

【0004】

【課題を解決するための手段】ポリシリコンによりゲート電極領域を構成し、ソース及びドレイン領域とは反対導電型の完全空乏化された領域をゲート領域中かつゲート酸化膜に接して形成し、それと接触する残りのゲート領域は、高濃度かつソース領域及びドレイン領域とは同じ導電型で構成することにより、しきい値電圧を制御する。

【0005】

【発明の原理及び作用】n形電界効果トランジスタを例にとって説明すると、本発明によれば、ゲート電極領域に構成された完全空乏化された領域は、p型であり、その領域内には負の電荷が存在することになる。そのため、実質的にチャネル表面は、キャリアである電子を誘起しない方向にバイアスされる。従って、しきい値電圧は、正の方向に移動することになる。その大きさは、完全空乏化されたp形ゲート電極領域の濃度、すなわち全体の不純物量によって精密に制御できる。濃度が大きければより正の方向に移動することになる。p形ゲート電極領域は、これと接触する高濃度n形ゲート電極領域とのビルトイン電圧で完全空乏化するようにその厚さと濃度を選定すればよい。しきい値電圧が制御できる原理は、ゲート酸化膜と接している完全空乏形のp形ゲート電極領域の接触界面での電位分布が、n形高濃度ゲート電極領域全体がゲート酸化膜に接している場合に比べて負となっていることによるが、その程度は、完全空乏化p形ゲート電極領域の厚さ及び不純物濃度で精密に制御でき、従って、しきい値電圧も精密に制御できることになる。

【0006】

【実施例1】図1に、本発明の第1の実施例を示す。n形電界効果トランジスタを例にとって説明する。図に

いて、1は、基板、2、3、4は、それぞれn形高濃度ソース領域、n形高濃度ドレイン領域、低濃度p形またはn形チャンネル領域であり、5は、ゲート絶縁膜である。7及び8でゲート電極領域を構成し、7は、高濃度n形半導体ゲート電極領域（第2の領域）、8は、濃度を適度に調整された完全空乏化されたp形半導体ゲート電極領域（第1の領域）であり、ゲート絶縁膜に接して設けられる。Tは、その厚さであり、その値は、p形不純物濃度を勘案してn形ゲート電極領域7との間で生じるビルトイン電圧により完全空乏するように設定される。その厚さTは、ゲート絶縁膜の一部とも見なし得るから出来るだけ薄い方が望ましい。

【0007】

【実施例2】図2は、本発明第2の実施例を示す。図において、1ないし8は、図1と同様の領域を示すが、高濃度ゲート電極領域7（第2の領域）によってp形ゲート電極領域8（第1の領域）が上部も含み囲まれた構成となっている。Dは、高濃度ゲート領域7の厚みであり、Hは、ゲート領域全体の高さを示す。高濃度ゲート電極領域7の形状は、跨線橋状あるいはコップを伏せたような形状をしていても良い。p形ゲート電極領域8は、その一部においてゲート絶縁膜5と接触している。この場合、p形ゲート電極領域8の不純物濃度、高濃度ゲート電極領域7の厚みD、ゲート電極領域全体の高さHを調整することによって、p形ゲート電極領域8のゲート絶縁膜5と接触している界面部分のソース領域からドレイン領域に向かう方向での電位分布を制御することによってしきい値電圧を制御する。

【0008】

【実施例3】図3は、本発明の他の実施例を示し、図において1ないし8は、図1と同様領域を示す。この場合、p形ゲート電極領域8は、高濃度ゲート電極領域7によって挟まれた構造、あるいは、その周囲を囲まれた構造をしており、ゲート絶縁膜5と接触する部分を有する *

*のは前2図と同様である。この場合もしきい値電圧が制御できる原理は、上に述べた原理と同じである。

【0009】上記各実施例において、n形高濃度ゲート電極領域7の抵抗値をさらに下げするため、その表面の一部を金属シリサイド化しても良い。さらに、p形ゲート電極領域8と整流性接触を有するならば、n形高濃度ゲート電極領域7全体を金属シリサイド化しても良く、さらに進めて金属と代替しても良い。

【0010】

【発明の効果】しきい値電圧が制御できる原理は、ゲート酸化膜と接している完全空乏形のp形ゲート電極領域の接触界面での電位分布が、n形高濃度ゲート電極領域全体がゲート酸化膜に接している場合に比べて負となっていることによるが、その程度は完全空乏化p形ゲート電極領域の厚さ、及び不純物濃度で精密に制御でき、従ってしきい値電圧も精密に制御していることになる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例

【図2】 本発明の第2の実施例

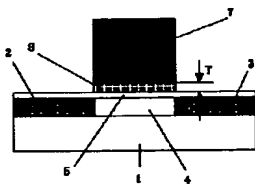
【図3】 本発明の第3の実施例

【図4】 従来の電界効果トランジスタの例

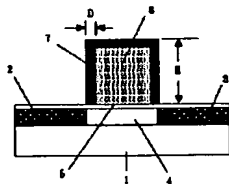
【符号の説明】

- 1 基板
- 2 ソース領域
- 3 ドレイン領域
- 4 チャンネル領域
- 5 ゲート絶縁膜
- 6 ゲート電極領域
- 7 高濃度半導体からなるゲート電極領域（第2の領域）（当該電界効果トランジスタの導電形とは同一の導電形）
- 8 半導体からなるゲート電極領域（第1の領域）（当該電界効果トランジスタの導電形とは反対導電形）

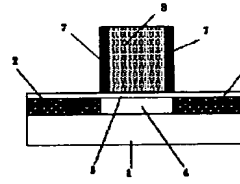
【図1】



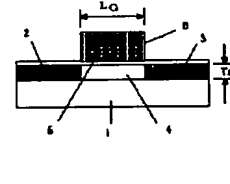
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 4M104 BB01 BB39 CC05 EE03 FF06
FF13 FF14 GG09 HH20
5F110 AA08 CC02 EE05 EE09 EE10
EE14 GG02 GG12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.